

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-133360

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)6月16日

G 01 R 13/20

C-7359-2G

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 データ分布測定装置

⑯ 特 願 昭61-273803

⑰ 出 願 昭61(1986)11月17日

優先権主張 ⑱ 1985年12月2日 ⑲ 米国(US) ⑳ 803186

㉑ 発 明 者 デール・エラード・カ アメリカ合衆国 オレゴン州 97229 ポートランド ノ  
ールトン ースウエスト・ボンドーサ 5465

㉒ 発 明 者 クリフオード・エドワ アメリカ合衆国 オレゴン州 97006 アロア サウスウ  
イン・ペーカー エスト・ヘニング・ストリート 19140

㉓ 発 明 者 ロナルド・マーク・ヘ アメリカ合衆国 オレゴン州 97005 ビーバートン サ  
ンリクセン ウスウエスト・マーベリック・ブレイス 8465

㉔ 出 願 人 テクトロニックス・イ アメリカ合衆国 オレゴン州 97077 ビーバートン テ  
ンコーボレイテッド クトロニックス・インダストリアル・パーク サウスウエ  
スト・カール・ブラウン・ドライブ 14150

㉕ 代 理 人 弁理士 伊 藤 貞 外1名

明 細 書

発明の名称 データ分布測定装置

特許請求の範囲

反復入力信号を受け、該反復入力信号から得たトリガ信号に対して異なる時刻にサンプリング信号を発生すると共に、上記時刻に対応するデジタル時間信号を発生するサンプリング手段と、

上記サンプリング信号により上記反復入力信号をサンプリングしたサンプル値と予め定められた値の範囲とを比較し、上記サンプル値が上記範囲内にあるとき、メモリ更新信号を発生する比較手段と、

上記デジタル時間信号によりアドレス指定されるメモリ手段と、

上記メモリ更新信号が発生されたとき、対応する上記デジタル時間信号によりアドレス指定された上記メモリ手段の記憶位置の内容を単位量だけ更新する制御手段とを具えたデータ分布測定装置。

発明の詳細な説明

[ 図表上の利用分野 ]

本発明は、波形解析装置に関し、特に、波形の特定のイベントの時間的分布状態を確認することのできるデータ分布測定装置に関する。

[ 従来技術 ]

波形解析に慣用されている計測器は、波形を可視表示するオシロスコープである。従来のリアルタイムオシロスコープの波形表示は連続的ではあるが一時的なものである。他方、波形をサンプリングし、そのサンプリングされた波形の大きさをメモリに記憶するデジタルストレージオシロスコープ(DSO)は、記憶された大きさ情報をメモリから読出し、この情報をアナログ信号に変換してオシロスコープの垂直偏向増幅器を駆動することにより、永続的な表示を行い得る。波形サンプルは、信号の大きさが選択されたトリガレベルを通過した時点を基準にして予め定められた時点で取込まれる。水平偏向増幅器を駆動するための時間情報は、メモリから大きさ情報を読出するためのクロック信号に基づいて得られる。

従来のDSOでは、反復信号の多周期にわたってサンプルを取込むことにより1周期を正確に表示するに足る充分な量のデータを累積できるので、そのサンプリング周波数より高い周波数成分を有する反復信号波形を表示することも可能であつた。また、既知のDSOには、最大値や最小値のような波形パラメータを算出する手段を有するものもある。

#### 〔発明が解決しようとする問題点〕

従来の等価時間サンプリング手法によれば、サンプリング周波数より高い周波数成分を含む入力信号に関する情報を得ることができる。しかし、入力信号波形がその各サイクル毎に変化すれば、得られる情報量は制限される。入力信号波形の繰返しが同一でなければ、その信号はジッタを有することになる。たとえ、入力信号波形の各サイクルが同一であつても、サンプリングのための時間的原点を定めるトリガレベルが繰返し毎に変化するならば、その表示波形にはジッタが現われる。

的分布状態を確認することができるデータ分布測定装置を提供することである。

#### 〔発明の概要〕

本発明の好適実施例では、反復入力信号の各繰返し期間に少なくとも1回トリガ信号に応じてサンプリング信号を発生すると共に、トリガ信号に対するサンプリング信号の発生時点を表わすnビットデジタル信号を発生し、反復入力信号をこのサンプリング信号に反応してサンプリングする。サンプリング時点の入力信号の大きさが予め定められた範囲内にあれば、メモリーホールド（メモリ更新）信号を発生する。メモリは、nビットデジタル信号が取り得る $2^n$ 個の値に夫々対応する $2^n$ 個の別個にアドレス指定可能な記憶位置を有する。記憶位置が割当てられたnビットデジタル信号が発生し、メモリーホールド信号によつてそのデジタル信号がクオリファイ（有効化）されたら、その記憶位置の内容が単位量だけ増分される。多数回のサンプリングの後、メモリには、サンプル値

第2図は、トリガ点に対する第1及び第2のトランジションの発生時点に変化する反復アナログ信号パルスに反応して、DSOが出力する波形を示す。この図から判るとおり、第1及び第2トランジションを表わす波形部分（斜線部）はその縁幅が太くなり、波形の測定精度が低下する。ジッタの存在を検出し、その性質を見極めることにより、そのジッタの原因を判定し、ジッタを捕獲することが望まれる。例えば、名目上、トリガ点に対して反復毎に等しい時点に生じるべき入力信号波形の特定のイベントが、表示時にある時間幅をもつて発生し、且つその発生分布がベル形またはガウシアン状分布であれば、このことは、そのジッタ源が雑音であることを意味し、発生分布に2つ以上の明確なピークがある場合には、それは、ジッタ源がアナログ信号のデジタル値への変換過程に生じたエラーであること、またはそのジッタが高周波雑音によつて生じた非ガウシアン・ジッタであることを意味する。

したがつて、本発明は、特定のイベントの時間

が予め定められた値の範囲に入るサンプルの時間的分布データが得られる。この分布データを解析することにより、例えばジッタの原因を判定することができる。

#### 〔実施例〕

第1図は、本発明の一実施例のブロック図である。入力端子10には反復アナログ信号が印加される。この信号の一例として、第2図のようなパルスを考える。このパルスの第1トランジション（斜線部）を拡大して第3A図に示す。この図の個々のドットは、サンプル点を表わす。信号は前置増幅器12で増幅された後、サンプルホールド（S/H）回路14及びトリガ発生器16に入力される。トリガ発生器16は、従来オシロスコープのトリガ回路と同様に、内部トリガレベル制御器によつて決められたアナログ信号上の1時点でトリガ信号を発生する。トリガ信号は時間軸制御回路18に入力され、この回路18はS/H回路14にストローブパルスを印加する。ストローブパルスは、トリガ信号の発生毎に発生され

るが、その発生は、マイクロプロセッサ(MP)で決められた時間だけトリガ信号から遅延させられる。所望遅延時間を表わす8ビットのデジタル信号はMPにより発生され、バスを介して時間軸制御回路に入力される。この遅延時間量は、非コヒーレントなサンプリングを行うように入力信号の期間にわたってランダムに変化してもよく、また、コヒーレントなサンプリングを行うように予め定められた最小遅延量の整数倍となるように順次変化してもよい。遅延信号はサンプル点の一方の座標(例えばX軸座標)を表わす。

S/H回路の出力信号はアナログデジタル変換器(ADC)に入力される。ADCも、時間軸制御回路からストローパルスを受ける。S/H回路は、MPによつて決められたサンプリング時点で前置増幅器からのアナログ信号をサンプリングし、その出力(サンプリング時点のアナログ入力信号の大きさを表わす)をADCに入力する。ADCは、その入力信号の大きさに対応するデジタル出力信号を発生する。サンプル点の他方の座

標、波形サンプルが取込まれる256の期間に割当てられる。MPはクオリファイ信号(メモリーネープル信号)を受けると記憶内容増分ルーチンに入る。即ち、MPは、クオリファイ信号を発生させたデジタル遅延信号の値に割当てられた記憶位置の内容をメモリーから読出し、その内容を更新(1単位量を加算)した後、再び同じ記憶位置に更新後の内容を書込む。

第1図の装置を、第2図のような波形を有するパルスのソツタを測定するために用いるならば、デジタル基準信号によつて定められたウィンドウは、反復入力信号の底部及び頂部の間に位置し、MPが時間軸制御回路へ与えるデジタル遅延信号によつて表わされる時間値の範囲は、次の条件を満たすように選択される。即ち、デジタル遅延信号の時間値範囲は、「第1トランジション部分の信号値が基準レベルウィンドウ内に入っている」というステートメントによつて定義されるイベントの予期できる発生をすべて包含する時間ウィンドウを定めるように選択される。サンプリングが

標(例えばY軸座標)を表わすこのデジタル信号は、従来のワードレコグナイザの如きデジタル比較器に入力される。デジタル信号は取込メモリにも入力され得る。比較器は外部信号源からデジタル基準信号を受ける。このデジタル基準信号は、S/H回路に入力されるアナログ信号の取り得る値の範囲を表わす。例えば、デジタル基準信号の全ビットが0または1に指定されれば、この値の範囲はADCのデジタル出力信号の最下位ビット(LSB)の1つの値に対応する。比較器のLSBが"ドントケア"デジタルビットであれば、基準レベルウィンドウはADCの出力信号の2個のLSB(2つの値)に対応する。ADCの出力信号が比較器によつて定められたウィンドウ内に存在すれば、比較器はMPに"クオリファイ"信号を出力する。

MPがデジタル遅延信号を時間軸制御回路に送るバスはランダムアクセスメモリにも接続されている。メモリは256個のアドレス指定可能な記憶位置を有する。第3B図に示すように、これらの256個のアドレス指定可能な記憶位置は、

完了したとき、メモリの内容は、上記ステートメントによつて定義されたイベントの時間に関する(トリガ点に対する)分布を表わす。メモリの内容を数学的に解析して、平均時刻、標準偏差を求め、あるいはモード(最頻値)を求めてもよい。代りに、または、更に、メモリの内容を用いてCRT(表示手段)の上に第3C図のようなヒストグラムを表示することもできる。このヒストグラムを表示するには、MPによりメモリから累積データを読出すと共に、そのアドレス信号をデジタルアナログ変換器(DAC)によりアナログ信号に変換し、これと同期してDACによりデータ信号をアナログ信号に変換し、両DACの出力信号でCRTの垂直及び水平偏向回路を駆動する。メモリからのデータ読出と、取込メモリからのデータ読出を時分割で行うことにより、パルスの等価時間波形と共にヒストグラムの包絡線を表示するようにしてもよい。ヒストグラムのピークは、上記ステートメントで定義されたイベントのトリガ点に対する発生の略平均時刻を表わす。

基準レベルウィンドウで定められるイベントの分布は、信号ジッタと測定装置のジッタの両方を表わす。測定装置によるジッタの原因としてはトリガレベルの揺動が考えられる。測定装置によるジッタは、ジッタがない既知の入力信号を用いてヒストグラムを形成することにより測定できる。その後、ジッタの不明な信号については、信号と装置の総合ジッタから装置ジッタを減算することによつてその信号のジッタを測定することができる。

以上、本発明の好適実施例について説明したが、本発明の要旨を逸脱することなく種々の変形・変更を行うことは可能である。例えば、メモリ内の記憶位置の内容を1単位だけ増分する概念は、全体に1を書込まれたメモリの記憶位置から1単位だけ減少させる可能性をも含むよう意図されている。また、本発明での基準レベルウィンドウは基準信号の1乃至2ビットによつて定められるものに限定されない。分解能の低下及び測定時間の増加が許容されるならばウィンドウの大きさを拡大

対するメモリの記憶位置の割当を説明するための  
模式図、第3C図は第3B図のメモリ内容に応じた  
ヒストグラムである。

図中、①はサンプリング手段の構成要素である時間軸制御回路、②はサンプリング手段及び制御手段の構成要素であるMP、③は比較手段であるアナログ比較器、④はメモリ手段であるメモリを示す。

代理人 伊藤 貞  
同 松隈 秀盛

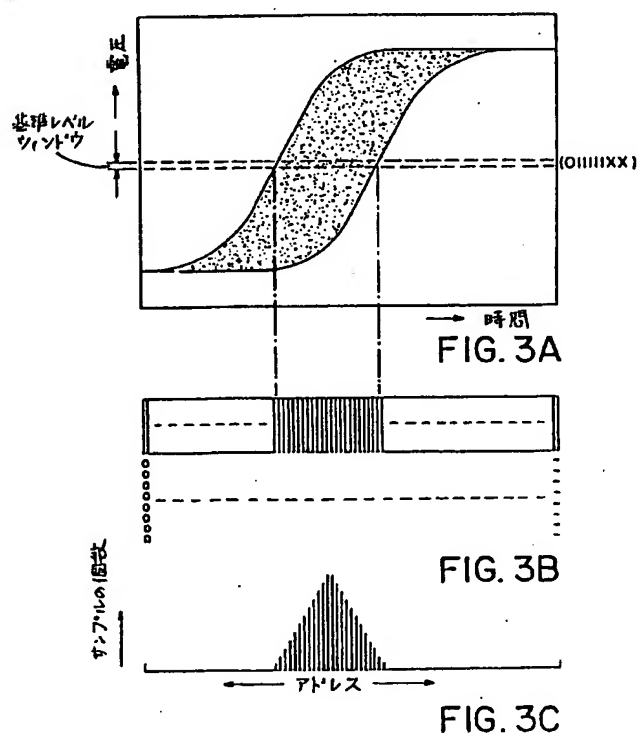
しても構わない。波形のピークの発生の時間分布を測定したい場合には、基準レベルウインドウをオープンエンド（ウインドウが入力電圧範囲の上限または下限の一方に開放されている状態）にすることもできる。メモリ内の記憶位置の数は 256 に限定されるものではない。

〔 養明の効果 〕

本発明のイベント分布データ収集装置によれば、メモリ内にて収集されたデータから、特定のイベントの時間的発生分布状態を詳細に調べることにより、波形表示に現われたジッタの原因を容易に推定することができるようになる。これにより、D80で取込んだ波形データのより詳細な解析が可能になるので、実用上の効果は顕著である。

### 図面の簡単な説明

第 1 図は、本発明の一実施例のブロック図、第 2 図は、本発明の説明に供するジッタを含むパルス波形図、第 3A 図は、第 2 図の波形の一部を示す波形図、第 3B 図は、第 3A 図の波形の時間区分に



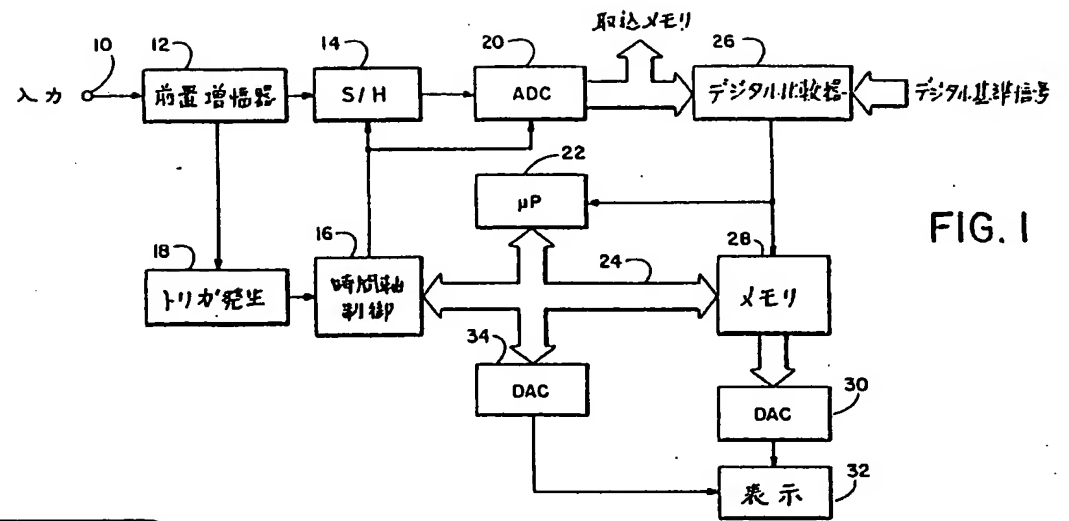


FIG. 1

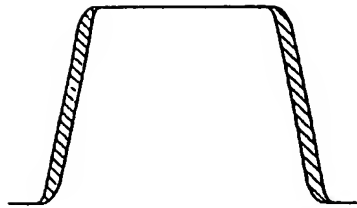


FIG. 2